

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-289268

(43)Date of publication of application : 19.10.1999

(51)Int.Cl.

H048 1/26

(21)Application number : 10-088422

(71)Applicant : SHARP CORP

(22)Date of filing : 01.04.1998

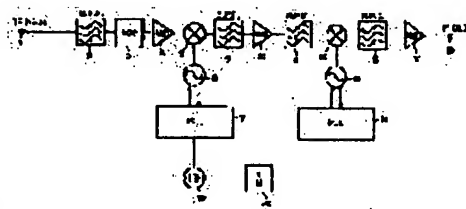
(72)Inventor : KITAGUCHI MASAKI
ITAGAKI KENJI

(54) DOUBLE CONVERSION TUNER

(57)Abstract:

PROBLEM TO BE SOLVED: To supply optional reference frequency from one oscillator to each of plural PLL circuits in a double conversion tuner.

SOLUTION: In the double conversion tuner provided with 1st and 2nd local oscillators 6, 13 respectively controlled by 1st and 2nd PLL circuits 7, 14 and 1st and 2nd frequency converters 5, 12 for converting the frequency of an input signal by respective oscillation signals outputted from the oscillators 6, 13 and constituted so as to obtain an intermediate frequency signal by converting the frequency of a received high frequency signal by the 1st and 2nd frequency converters 5, 12, an oscillator 19 is shared by both the PLL circuits 7, 14 through a frequency divider 20. Namely an output from the oscillator 19 for generating reference frequency suited to the 1st PLL circuit 7 is frequency-divided by the frequency divider 20 and a reference frequency suited to the 2nd PLL circuit 14 is formed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-289268

(43) 公開日 平成11年(1999)10月19日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 B 1/26

H 0 4 B 1/26

B

C

K

R

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平10-88422

(22) 出願日 平成10年(1998)4月1日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 北口 勝紀

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 板垣 憲志

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

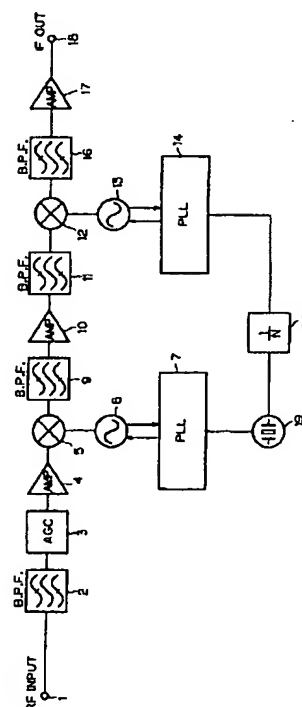
(74) 代理人 弁理士 高野 明近

(54) 【発明の名称】 ダブルコンバージョンチューナ

(57) 【要約】

【課題】 ダブルコンバージョンチューナにおいて、一つの発振器によりPLL回路に任意の基準周波数を供給できるようにする。

【解決手段】 第1及び第2のPLL回路7, 14によりそれぞれ制御される第1及び第2の局部発振器6, 13、前記第1及び第2の局部発振器の発振信号により入力信号を周波数変換する第1及び第2の周波数変換器5, 12を備え、受信した高周波信号を前記第1及び第2の周波数変換器5, 12により周波数変換して中間周波数信号を得るダブルコンバージョンチューナにおいて、前記第1及び第2のPLL回路7, 14が一つの発振器を分周器20を介して共用する。即ち、前記第1のPLL回路7に適した基準周波数を発生する発振器19の出力を分周器20で分周し、前記第2のPLL回路に適した基準周波数を得る。



【特許請求の範囲】

【請求項 1】 第 1 及び第 2 の PLL 回路によりそれぞれ制御される第 1 及び第 2 の局部発振器、前記第 1 及び第 2 の局部発振器の発振信号に基づき入力信号を周波数変換する第 1 及び第 2 の周波数変換器を備え、受信した高周波信号を前記第 1 及び第 2 の周波数変換器により周波数変換して中間周波数信号を得るダブルコンバージョンチューナにおいて、前記第 1 の PLL 回路に適した基準周波数を発生する発振器及び、該発振器の出力から前記第 2 の PLL 回路に適した基準周波数を発生する手段を備えたことを特徴とするダブルコンバージョンチューナ。

【請求項 2】 請求項 1 に記載されたダブルコンバージョンチューナにおいて、前記発振器の出力から前記第 2 の PLL 回路に適した周波数を発生する手段が、前記発振器の出力を分周する分周器であることを特徴とするダブルコンバージョンチューナ。

【請求項 3】 請求項 1 に記載されたダブルコンバージョンチューナにおいて、前記第 1 の PLL 回路に適した基準周波数を発生する発振器は、水晶振動子により基準周波数を発生することを特徴とするダブルコンバージョンチューナ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ダブルコンバージョンチューナに関し、例えば、デジタル変調方式テレビジョン放送受信用ダブルコンバージョンチューナに関するものである。

【0002】

【従来の技術】 図 2 は従来の第 1 のダブルコンバージョンチューナの、また、図 3 は従来の別の第 2 のコンバージョンチューナの全体の構成を示すブロック図である。以下、図 2 及び図 3 を用いて従来の技術を詳細に説明する。図 2 において、受信した高周波 RF (Radio Frequency) 信号を、2 回の周波数変換処理によって、中間周波数 IF (Intermediate Frequency) 信号を出力する。図 2 において、1 は RF 入力端子、2 は受信帯域内の RF 信号のみを通過させるバンドパスフィルタ、3 は AGC (Automatic Gain Control) 増幅回路、4 は RF 増幅回路、5 は第 1 の周波数変換器、6 は第 1 の局部発振器、7 は第 1 の PLL 回路、8 は第 1 の発振器、9 と 11 は第 1 のバンドパスフィルタ、10 は第 1 の IF 増幅回路、12 は第 2 の周波数変換器、13 は第 2 の局部発振器、14 は第 2 の PLL 回路、15 は第 2 の発振器、16 は第 2 のバンドパスフィルタ、17 は第 2 の IF 増幅回路、18 はこのチューナの IF 信号出力端子である。

【0003】 次に、このダブルコンバージョンチューナの動作について説明する。RF 入力端子 1 より入力された RF 信号は、バンドパスフィルタ 2 により、受信周波

数帯に対応したフィルタリング処理が施され、AGC 増幅回路 3 にて、RF 信号レベルに応じた AGC 電圧により、所定のレベル範囲に制限された後、RF 増幅回路 4 により増幅されて、第 1 の周波数変換器 5 に供給される。第 1 の周波数変換器 5 は、第 1 の局部発振器 6 から出力される第 1 の局部発振信号に基づいて、入力された RF 信号を第 1 の IF 信号に周波数変換している。この場合、第 1 の局部発振器 6 は、第 1 の PLL 回路 7 により、受信チャンネルに合わせてその発振周波数が制御されると共に、周波数の安定化が図られる。第 1 の発振器 8 は、第 1 の PLL 回路 7 に適した基準周波数信号を発生し、第 1 の PLL 回路 7 に供給する。ここで、上記第 1 の周波数変換器 5 から出力された第 1 の IF 信号は、第 1 のバンドパスフィルタ 9 により、第 1 中間周波数帯に対応した帯域フィルタリング処理が施され、第 1 の IF 増幅回路 10 で増幅された後、第 1 のバンドパスフィルタ 11 により、再度第 1 中間周波数帯に対応した帯域フィルタリング処理が施され、第 2 の周波数変換器 12 に供給される。第 2 の周波数変換器 12 は、第 2 の局部発振器 13 から出力される第 2 の局部発振信号に基づいて、入力された第 1 の IF 信号を第 2 の IF 信号に周波数変換している。この場合、第 2 の局部発振器 13 は、第 2 の PLL 回路 14 により、その発振周波数が制御されると共に、周波数の安定化が図られる。第 2 の発振器 15 は、第 2 の PLL 回路 14 に適した基準周波数信号を発生し、第 2 の PLL 回路 14 に供給する。そして、上記第 2 の周波数変換器 12 から出力された第 2 の IF 信号は、第 2 のバンドパスフィルタ 16 により、第 2 中間周波数帯に対応した帯域フィルタリング処理が施され、第 2 の IF 増幅回路 17 で増幅された後、IF 信号出力端子 18 により出力される。

【0004】 図 2 に示す第 1 の従来例では、第 1 の PLL 回路 7 に適した基準周波数信号を発生する第 1 の発振器 8、及び第 2 の PLL 回路 14 に適した基準周波数信号を発生する第 2 の発振器 15 をそれぞれ独立して備えている。よって、第 1 の PLL 回路 7 と第 2 の PLL 回路 14 とは、完全に独立しており、第 1 の PLL 回路 7 と第 2 の PLL 回路 14 は、それぞれ最適な任意の回路で構成でき、プリント基板上でも、任意の位置に離して配置できる。また、第 1 の発振器 8 と第 2 の発振器 15 とは、完全に独立しており、第 1 の PLL 回路 7 と第 2 の PLL 回路 14 それぞれに最適な任意の基準周波数信号を発生することができる。さらに、前記の理由により、第 1 の周波数変換器 5 と第 1 の局部発振器 6 と第 1 の PLL 回路 7 及び第 1 の発振器 8 より構成される回路と、第 2 の周波数変換器 12 と第 2 の局部発振器 13 と第 2 の PLL 回路 14 及び第 2 の発振器 15 より構成される回路とのアイソレーションが良好となる。

【0005】 図 3 は、第 2 の従来例であるダブルコンバージョンチューナの全体の構成を示している。図 3 中、

図2図示の第1の従来例のものと同一部分には同一符号を付してある。図2及び図3図示のものを比較すると、両者は、第1の従来例においては、第1の発振器8、第2の発振器15の二つの発振器を備えているのに対し、第2の従来例では、一つの発振器19のみを備える点で異なっている。以下、図3の第2の従来例について、詳細に説明する。図3は、第2の従来例として、従来のダブルコンバージョンチューナの全体の構成を示すものである。受信した高周波RF信号を、2回の周波数変換処理によって、中間周波数IF信号を出力する。図3において、1はRF入力端子、2は受信帯域内のRF信号のみを通過させるバンドパスフィルタ、3はAGC (Automatic Gain Control) 増幅回路、4はRF増幅回路、5は第1の周波数変換器、6は第1の局部発振器、7は第1のPLL回路、9と11は第1のバンドパスフィルタ、10は第1のIF増幅回路、12は第2の周波数変換器、13は第2の局部発振器、14は第2のPLL回路、16は第2のバンドパスフィルタ、17は第2のIF増幅回路、18はこのチューナのIF信号出力端子、19は発振器である。

【0006】RF入力端子1より入力されたRF信号は、バンドパスフィルタ2により、受信周波数帯に対応したフィルタリング処理が施され、AGC増幅回路3にて、RF信号レベルに応じたAGC電圧により、所定のレベル範囲に制限された後、RF増幅回路4により増幅されて、第1の周波数変換器5に供給される。第1の周波数変換器5は、第1の局部発振器6から出力される第1の局部発振信号に基づいて、入力されたRF信号を第1のIF信号に周波数変換している。この場合、第1の局部発振器6は、第1のPLL回路7により、受信チャンネルに合わせてその発振周波数が制御されると共に、周波数の安定化が図られる。発振器19は、第1のPLL回路7及び第2のPLL回路14（後述）に適した基準周波数信号を発生し、第1のPLL回路7及び第2のPLL回路14（後述）に供給する。ここで、上記第1の周波数変換器5から出力された第1のIF信号は、第1のバンドパスフィルタ9により、第1中間周波数帯に対応した帯域フィルタリング処理が施され、第1のIF増幅回路10で増幅された後、第1のバンドパスフィルタ11により、再度第1中間周波数帯に対応した帯域フィルタリング処理が施され、第2の周波数変換器12に供給される。

【0007】第2の周波数変換器12は、第2の局部発振器13から出力される第2の局部発振信号に基づいて、入力された第1のIF信号を第2のIF信号に周波数変換している。この場合、第2の局部発振器13は、第2のPLL回路14により、その発振周波数が制御されると共に、周波数の安定化が図られる。発振器19は、第1のPLL回路7（前述）及び第2のPLL回路14に適した基準周波数信号を発生し、第1のPLL回

路7（前述）及び第2のPLL回路14に供給する。そして、上記第2の周波数変換器12から出力された第2のIF信号は、第2のバンドパスフィルタ16により、第2中間周波数帯に対応した帯域フィルタリング処理が施され、第2のIF増幅回路17で増幅された後、IF信号出力端子18により出力される。

【0008】図3に示す第2の従来例では、一つの発振器19を、第1のPLL回路7及び第2のPLL回路14で共用している。そのため、第1の局部発振器6と第2の局部発振器13は、共通の発振器19により、第1のPLL回路7及び第2のPLL回路14を介して制御されるので、図2の第1の従来例のダブルコンバージョンチューナと比較して、周波数の安定化が得られる。また、回路が簡単となり、チューナの小型化、コストの低減を図ることができる。なお、これに類するものとして、例えば、特開平4-365230号公報には、ダブルチューナにおいて、2つ備わる局部発振器の周波数変動を抑え、全体として安定させるため、第1局部発振器及び第2局部発振器をPLL (Phase locked Loop) 回路で制御し、第1局部発振器に使用している水晶と、第2局部発振器に使用している水晶とを共用し、第1のPLL回路内の発振出力端を第2のPLL回路の発振入力端に接続することにより、水晶の温度ドリフト等による周波数変動を大幅に軽減するものが記載されている。

【0009】

【発明が解決しようとする課題】しかしながら、これら従来技術のダブルコンバージョンチューナは、次のような問題を有している。図2に示す第1の従来例では、第1のPLL回路7に適した基準周波数信号を発生する第1の発振器8、及び第2のPLL回路14に適した基準周波数信号を発生する第2の発振器15をそれぞれ独立して備えているため、第1の発振器8、第2の発振器15それぞれの発振周波数の誤差が累積されるため、誤差の影響が大きくなる。誤差の影響が無視できない場合は、それを回避するために周波数精度のよい発振器を2つ使用しなければならず、コストアップとなる。また、発振器を2つ使用するため回路が増え、チューナの小型化ができない等の問題がある。図3に示す第2の従来例では、一つの発振器19を、第1のPLL回路7及び第2のPLL回路14で共用しているため、第1のPLL回路7及び第2のPLL回路14との基準周波数は、同じにすることが必要であり、その条件に合ったPLL回路を使用しなければならない。PLL回路はIC化されたものを使用する場合が多く、前記基準周波数は、それぞれのIC仕様で決められているため、前記条件に合ったICを使用しなければならず不便である。

【0010】そこで、この発明は、上記事情を考慮してなされたもので、一つの発振器19を、第1のPLL回路7及び第2のPLL回路14で共用し、しかも、第1のPLL回路7と第2のPLL回路14との基準周波数

10

20

30

40

50

を、同じにする必要条件をなくし、第1のPLL回路7と第2のPLL回路14に、任意の基準周波数信号を供給できるようにしたものである。

【0011】

【課題を解決するための手段】請求項1の発明は、第1及び第2のPLL回路によりそれぞれ制御される第1及び第2の局部発振器、前記第1及び第2の局部発振器の発振信号に基づき入力信号を周波数変換する第1及び第2の周波数変換器を備え、受信した高周波信号を前記第1及び第2の周波数変換器により周波数変換して中間周波数信号を得るダブルコンバージョンチューナにおいて、前記第1のPLL回路に適した基準周波数を発生する発振器及び、該発振器の出力から前記第2のPLL回路に適した基準周波数を発生する手段を備えたダブルコンバージョンチューナである。

【0012】請求項2の発明は、請求項1に記載されたダブルコンバージョンチューナにおいて、前記発振器の出力から前記第2のPLL回路に適した周波数を発生する手段が、前記発振器の出力を分周する分周器であるダブルコンバージョンチューナである。

【0013】請求項3の発明、請求項1に記載されたダブルコンバージョンチューナにおいて、前記第1のPLL回路に適した基準周波数を発生する発振器は、水晶振動子により基準周波数を発生するダブルコンバージョンチューナである。

【0014】

【発明の実施の形態】以下、この発明の一実施例について、図1を参照して詳細に説明する。図1は、本発明のダブルコンバージョンチューナの全体の構成を示すブロック図である。図1において、図2に示した第1の従来例及び図3に示した第2の従来例と同一部分には、同一符号を付している。本発明は、図3に示す第2の従来例に対し、発振器19とPLL回路14の間に、分周器20を備えている点が異なっている。

【0015】以下、図1の本発明の一実施例について、詳細に説明する。本発明のダブルコンバージョンチューナは受信した高周波RF信号を、2回の周波数変換処理によって、中間周波数IF信号を出力するものである。図中、1はRF入力端子、2は受信帯域内のRF信号のみを通過させるバンドパスフィルタ、3はAGC (Automatic Gain Control) 増幅回路、4はRF増幅回路、5は第1の周波数変換器、6は第1の局部発振器、7は第1のPLL回路、9と11は第1のバンドパスフィルタ、10は第1のIF増幅回路、12は第2の周波数変換器、13は第2の局部発振器、14は第2のPLL回路、16は第2のバンドパスフィルタ、17は第2のIF増幅回路、18はこのチューナのIF信号出力端子、19は水晶振動子により基準周波数を発生する発振器、20は分周器である。

【0016】本発明のダブルコンバージョンチューナの

動作を説明する。RF入力端子1より入力されたRF信号は、バンドパスフィルタ2により、受信周波数帯に対応したフィルタリング処理が施され、AGC増幅回路3にて、RF信号レベルに応じたAGC電圧により、所定のレベル範囲に制限された後、RF増幅回路4により増幅されて、第1の周波数変換器5に供給される。第1の周波数変換器5は、第1の局部発振器6から出力される第1の局部発振信号に基づいて、入力されたRF信号を第1のIF信号に周波数変換している。この場合、第1の局部発振器6は、第1のPLL回路7により、受信チャンネルに合わせてその発振周波数が制御されると共に、周波数の安定化が図られる。発振器19は、第1のPLL回路7に適した基準周波数信号を発生し、第1のPLL回路7及び分周器20 (後述) に供給する。ここで、上記第1の周波数変換器5から出力された第1のIF信号は、第1のバンドパスフィルタ9により、第1中間周波数帯に対応した帯域フィルタリング処理が施され、第1のIF増幅回路10で増幅された後、第1のバンドパスフィルタ11により、再度第1中間周波数帯に対応した帯域フィルタリング処理が施され、第2の周波数変換器12に供給される。

【0017】第2の周波数変換器12は、第2の局部発振器13から出力される第2の局部発振信号に基づいて、入力された第1のIF信号を第2のIF信号に周波数変換している。この場合、第2の局部発振器13は、第2のPLL回路14により、その発振周波数が制御されると共に、周波数の安定化が図られる。発振器19は、第1のPLL回路7 (前述) に適した基準周波数信号を発生し、第1のPLL回路7 (前述) 及び分周器20に供給する。分周器20は、発振器19より供給された基準周波数信号を第2のPLL回路14に適した周波数になるように1/Nに分周し、第2のPLL回路14に供給する。そして、上記第2の周波数変換器12から出力された第2のIF信号は、第2のバンドパスフィルタ16により、第2中間周波数帯に対応した帯域フィルタリング処理が施され、第2のIF増幅回路17で増幅された後、IF信号出力端子18より出力される。

【0018】具体的な信号周波数の一例として、米国仕様のダブルコンバージョンチューナを例に採ると、RF入力端子1より入力されたRF信号周波数は54~806MHz、第1の局部発振器6から出力される第1の局部発振信号周波数はRF信号周波数(54~806MHz)+954MHz、第1の周波数変換器5から出力された第1のIF信号周波数は954MHz、第2の局部発振器13から出力される第2の局部発振信号周波数は910MHz (=954MHz-44MHz)、第2の周波数変換器12から出力された第2のIF信号周波数は44MHzである。

【0019】

【発明の効果】一つの発振器を、第1のPLL回路及び

第2のPLL回路で共用し、かつ、第1のPLL回路と第2のPLL回路との基準周波数を、同じにする必要条件をなくし、第1のPLL回路と第2のPLL回路に、任意の基準周波数信号を供給できるようにしたことにより、図2に関連して説明した第1の従来例の長所と、図3に関連して説明した第2の従来例の長所を合わせ持った、ダブルコンバージョンチューナを提供することができる。即ち、

- 1) 第1のPLL回路と第2のPLL回路は、それぞれ最適な任意の回路で構成できる。
- 2) 分周器の分周比を、任意に設定することにより、一つの発振器で、第1のPLL回路と第2のPLL回路それぞれに、最適な任意の基準周波数信号を供給できる。
- 3) 第1の局部発振器と第2の局部発振器を、共通の発振器により、第1のPLL回路と第2のPLL回路を介して制御するので、周波数の安定化が得られる。
- 4) 回路が簡単となり、チューナの小型化、コストの低減を図ることができる。

* 【図面の簡単な説明】

【図1】本発明のダブルコンバージョンチューナの一実施例を示すブロック図である。

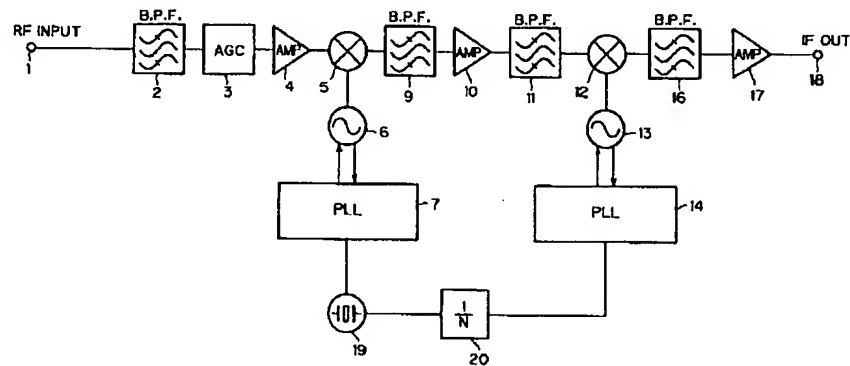
【図2】従来のダブルコンバージョンチューナの第1の例を示すブロック図である。

【図3】従来のダブルコンバージョンチューナの第2の例を示すブロック図である。

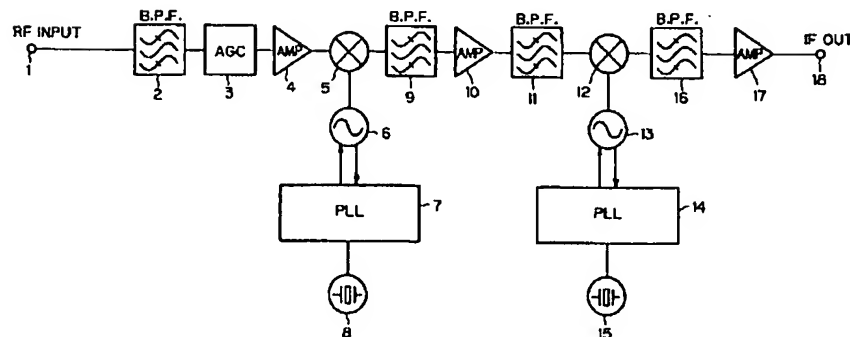
【符号の説明】

- 1…RF入力端子、2…バンドパスフィルタ、3…AGC増幅回路、4…RF増幅回路、5…第1の周波数変換器、6…第1の局部発振器、7…第1のPLL回路、8…第1の発振器、9、11…第1のバンドパスフィルタ、10…第1のIF増幅回路、12…第2の周波数変換器、13…第2の局部発振器、14…第2のPLL回路、15…第2の発振器、16…第2のバンドパスフィルタ、17…第2のIF増幅回路、18…IF信号出力端子、19…第1のPLL回路と第2のPLL回路共通の発振器、20…分周器。

【図1】



【図2】



【図3】

